

Publication of Japanese Patent

N . 3018541

A. Relevance of the above-identified Document

This document has relevance to the Claims 1, 9, 11, and 12 of the present application.

B. Translation of the Relevant Passages of the Document

[CLAIMS]

[Claim 1]

comprising ...

a slew rate control circuit for, by controlled in accordance with a slew rate control signal, substantially changing a resistance between an output electrode and a common electrode when the MOS transistor (13) is in a conductive state.

[0011]

[MEANS TO SOLVE THE PROBLEMS]

...an output circuit including means for outputting a high level or low level output signal in accordance with an input signal outputted from an internal logic circuit, characterized by comprising a slew rate control circuit for delaying a fall time of the output signal from the high level to the low level in accordance with a slew rate control signal that is supplied separately.

[0014]

[EFFECTS]

The slew rate control circuit delays a fall time of the output signal from the high level to the low level in accordance with a slew rate control signal that is supplied separately

[0015]

Therefore, even if a plurality of output circuits are operated simultaneously, it is possible to attain gradual change of the output currents therefrom. Thereby, it is possible to prevent fluctuation of the power source voltage and occurrence of noise. Thus, it is possible to prevent occurrence of logic error operation.

[EMBODIMENT]

...

[0023]

...

...It is possible to delay the falling time of the output by inputting a low level into the gate of the MOS transistor 16 and turning "OFF" the MOS transistor 16.

[0024]

.., by controlling the slew rate control signal C_{IN} , it is possible to delay the falling time of the output of the output circuit. The falling time of the output causes the logic error operation due to simultaneous operation. Thus, the delaying the falling time prevents such logic error operation.

[0026]

... When the slew rate control signal C_{IN} is at a high level, the MOS transistor 20 is turned "ON", so that, because of the clamp diode 19, a voltage as low as 3 times of a forward voltage of the diode ($0.7 \times 3 = 2.1V$) is applied on the gate of the MOS transistor 13 for drawing out the electric charge of the output. The MOS transistor 13 draws out the electric charge of the output in order to cause the output signal S_{OUT} to be at a low level. When a voltage as low as such is applied on the gate of the MOS transistor 13, the MOS transistor 13's ability of drawing out the electric charge is lowered. Thus, it is possible to delay the falling time of the output. For this reason, by controlling the slew rate control signal C_{IN} , it is possible to delay the falling time of the output of the output circuit, which causes the logic error operation due to the simultaneous operation, thus preventing the logic error operation.

[0027]

[EFFECTS OF THE INVENTION]

...an output circuit is provided with a slew rate control circuit for controlling a falling time of output. With this arrangement, it is possible to structure an internal logic so that the falling time of the output of the output circuit is delayed when logic error operation due to simultaneous operation of the output is caused. Further, it is possible to delay the falling time of part or all of output circuits after the production of the semiconductor circuit. Therefore, this arrangement effects prevention of the logic error operation that

is due to the simultaneous operation of the output circuit.

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3018541号
(P3018541)

(45) 発行日 平成12年 3 月13日 (2000. 3. 13)

(24) 登録日 平成12年 1 月 7 日 (2000. 1. 7)

(51) Int.Cl.⁷

識別記号

F I

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 F

請求項の数 3 (全 5 頁)

(21) 出願番号 特願平3-69004

(22) 出願日 平成 3 年 3 月 7 日 (1991. 3. 7)

(65) 公開番号 特開平4-280117

(43) 公開日 平成 4 年 10 月 6 日 (1992. 10. 6)

審査請求日 平成 9 年 7 月 24 日 (1997. 7. 24)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 峯 浩利

東京都港区芝五丁目 7 番 1 号 日本電気
株式会社内

(74) 代理人 100078237

弁理士 井出 直孝

審査官 萩原 義則

(58) 調査した分野(Int.Cl.⁷, D B 名)

H03K 19/0175

(54) 【発明の名称】 出力回路

1

(57) 【特許請求の範囲】

【請求項 1】出力電極および共通電極がそれぞれ電源電圧 (VDD) および出力パッド (15) に接続されたバイポーラトランジスタ (6) と、出力電極および共通電極がそれぞれ前記出力パッド (15) および接地電位 (GND) に接続された第一の MOS トランジスタ (13) と、入力信号 (S_{IN}) に応じて前記バイポーラトランジスタ (6) の出力電極と共通電極との間および前記 MOS トランジスタ (13) の出力電極と共通電極との間を交互に導通状態に制御する回路 (1~5) とを備えた BiCMOS 形の集積回路により構成された出力回路において、
前記 MOS トランジスタ (13) と並列に接続され、前記入力信号とは独立なスルーレート制御信号により制御されて前記 MOS トランジスタ (13) の導通状態にお

2

ける出力電極と共通電極との間の抵抗を実質的に変更するスルーレート制御回路を設けたことを特徴とする出力回路。

【請求項 2】前記スルーレート制御回路は、前記第一の MOS トランジスタ (13) の出力電極および共通電極にそれぞれ出力電極および共通電極が接続された第二の MOS トランジスタ (16) と、この第二の MOS トランジスタ (16) の制御電極に前記スルーレート制御信号に応じてこの第二の MOS トランジスタを導通状態または非導通状態に制御する回路 (17, 18) とを含む請求項 1 記載の出力回路。

【請求項 3】前記スルーレート制御回路は、前記スルーレート制御信号に応じて出力電極と共通電極との間の導通状態の抵抗が変化する第三の MOS トランジスタ (20) の出力電極に前記第一の MOS トランジスタ (1

(3)

5

源電圧のゆらぎやノイズの発生を抑止でき、論理誤動作の発生を防止することが可能となる。

【0016】そして、スルーレート制御回路は、BiCMOS出力回路の場合、出力段のMOSトランジスタの能力をスルーレート制御信号により、出力信号が高レベルから低レベルに変化する時点に合わせて小さくなるように制御することが実現できる。

【0017】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0018】図1は本発明の第一実施例のBiCMOS出力回路の回路図である。内部論理回路からの入力信号 S_{IN} は、インバータ1を介してインバータ2および4の入力と、2入力のノアゲート17の一方の入力と、2種のデータのどちらか一方を選択するセクタ回路18の一方の入力とにそれぞれ接続され、インバータ2の出力はインバータ3の入力、インバータ3の出力はダーリントン回路構成となっている前段のNPN型のバイポーラトランジスタ5のベースとショットキーバリアダイオード10のアノードとにそれぞれ接続され、バイポーラトランジスタ5のエミッタは後段のバイポーラトランジスタ6のベースと、抵抗7を介してショットキーバリアダイオード8のアノードとにそれぞれ接続され、バイポーラトランジスタ5のコレクタは後段のバイポーラトランジスタ6のコレクタとショットキーバリアダイオード9および10のカソードとにそれぞれ接続される。

【0019】そして、ショットキーバリアダイオード9のアノードは抵抗11を介してVDD電源端子12に、インバータ4の出力はNチャネル型のMOSトランジスタ13のゲートに、MOSトランジスタ13のソースはGND端子14に、ノアゲート17の出力はMOSトランジスタ16のゲートに、MOSトランジスタ16のソースはGND端子14に、出力パッド15はショットキーバリアダイオード8のカソード、バイポーラトランジスタ6のエミッタ、MOSトランジスタ13のドレインおよびMOSトランジスタ16のドレインと、セクタ回路18の他方の入力とにそれぞれ接続され、内部論理回路からのスルーレート制御信号 C_{IN} は、セクタ回路18のセレクト信号端子に入力される。

【0020】本発明の特徴は、図1において、第一のMOSトランジスタ13と並列に接続された第二のMOSトランジスタ16と、このMOSトランジスタ16のゲートに対してスルーレート制御信号 C_{IN} に従って入力信号 S_{IN} または出力信号 S_{OUT} を印加する選択制御回路としてのセクタ回路18およびノアゲート17を含むスルーレート制御回路30を設けたことにある。

【0021】次に、本第一実施例の動作について説明する。本第一実施例において、スルーレート制御信号 C_{IN} が高レベルのときは出力信号 S_{OUT} 、スルーレート制御信号 C_{IN} が低レベルのときはインバータ1からの入力信

6

号 S_{IN} を選択するようにセクタ回路18を設定しておく。

【0022】出力信号 S_{OUT} が高レベルとなるのは図3の従来のBiCMOS回路と同じ回路動作となっているが、出力が低レベルとなるときは、第一に、スルーレート制御信号 C_{IN} が低レベルの場合、セクタ回路18がインバータ1からの入力信号 S_{IN} を選択することによって、MOSトランジスタ16はセクタ回路18およびノアゲート17を介して、ゲートに高レベルが入力され、また、MOSトランジスタ13はインバータ4を介して高レベルが入力され、二つのMOSトランジスタ13および16が共に「オン」状態となり、出力パッド15を介して電荷を引き抜くことによって出力信号 S_{OUT} が低レベルとなる。

【0023】第二に、スルーレート制御信号 C_{IN} が高レベルの場合、セクタ回路18は低レベルの出力信号 S_{OUT} を選択するため、MOSトランジスタ13が「オン」状態となり、出力の電荷を引き抜きはじめて、出力信号 S_{OUT} が高レベルから低レベルになりはじめたとき、その出力信号 S_{OUT} によって、セクタ回路18およびノアゲート17を介してMOSトランジスタ16のゲートに低レベルが入力され、MOSトランジスタ16が「オフ」状態となることで、出力の立ち下がり時間を遅くすることができる。

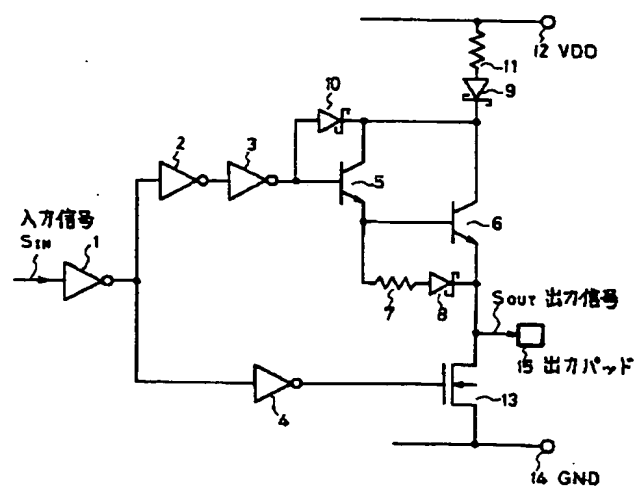
【0024】このため、スルーレート制御信号 C_{IN} を制御することによって、同時動作のため論理誤動作を招く出力回路の出力立ち下がり時間を遅くし、論理誤動作を防ぐことが可能となる。

【0025】図2は本発明の第二実施例のBiCMOS出力回路の回路図である。本第二実施例は、図1に示した第一実施例において、立ち下りスルーレート制御回路30の代わりに、本発明の特徴とするところの、3段に直列接続され、アノードがインバータ4の出力およびMOSトランジスタ13のゲートに接続されたダイオード19と、ドレインがダイオード19のカソードに、ゲートがスルーレート制御信号 C_{IN} に、ソースがGND端子14にそれぞれ接続された第三のNチャネル型のMOSトランジスタ20を含むスルーレート制御回路30aを設けたものである。

【0026】次に、本第二実施例の動作について説明する。本第二実施例の動作は図3の従来例とほぼ同じである。相違点は、MOSトランジスタ13のゲートに電位クランプ用のダイオード19とそのクランプ電位を制御するMOSトランジスタ20とからなるスルーレート制御回路30aによって、出力立ち下り時間を遅くできることである。すなわち、出力信号 S_{OUT} が低レベルであるとき、スルーレート制御信号 C_{IN} が低レベルであると、MOSトランジスタ20は「オフ」状態となり、出力を低レベルにするために、出力の電荷を引き抜くMOSトランジスタ13のゲートにはVDD電位程度(+5V)の電圧が

(5)

【図3】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-280117
(43)Date of publication of application : 06.10.1992

(51)Int.Cl.

H03K 19/0175
H01L 21/82
H03K 17/56
H03K 19/08

(21)Application number : 03-069004

(71)Applicant : NEC CORP

(22)Date of filing : 07.03.1991

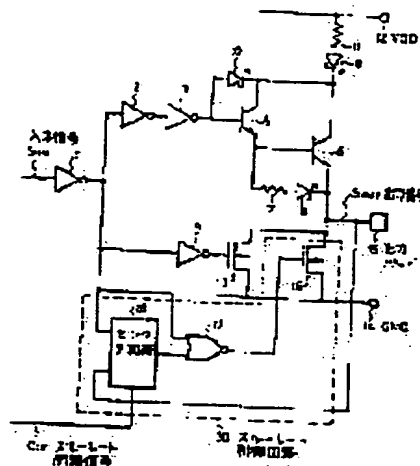
(72)Inventor : MINE HIROTOSHI

(54) OUTPUT CIRCUIT

(57)Abstract:

PURPOSE: To prevent logical malfunction due to the synchronization operation of an output circuit and to simplify the design by providing a through-rate control circuit slowing down the falling time of an output signal from the output circuit.

CONSTITUTION: The output circuit outputting a high level or a low level output signal SOUT in response to an input signal SIN from an internal logic circuit is provided with a through-rate control circuit 30 including a MOS transistor (TR) 16, a NOR gate 17 and a selector circuit 18. The selector circuit 18 is set so that, when a through-rate control signal CIN is at a high level, the output signal SOUT is selected and when the through-rate control signal CIN is at a low level, the input signal from an inverter 1 is selected. Thus, when the through-rate control signal CIN is at a high level and when the output signal SOUT is going to down to a low level from a high level, a low level signal is inputted to a gate of the MOS TR 16 and the MOS TR 16 is turned off to slowdown the falling time of the output.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]